

04007

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-306265

(43)Date of publication of application : 02.11.2001

(51)Int.Cl. G06F 3/06
G06F 12/00
G06F 12/08
G06F 13/12

(21)Application number : 2000-127255

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2000

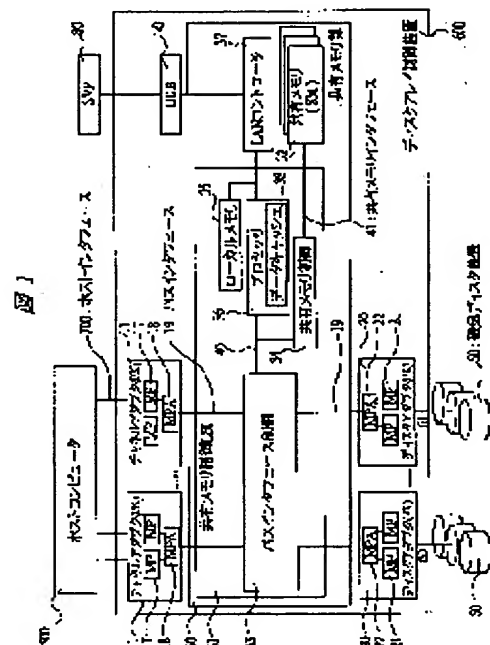
(72)Inventor : MINOWA NOBUYUKI
INOUE YASUO

(54) STORAGE CONTROLLER AND METHOD FOR CONTROLLING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the efficiency of an access to a shared memory, and to improve data transferring performance in a storage controller in a multi-processor constitution equipped with a shared memory.

SOLUTION: In the disk array controller 600 constituted so that a channel adapter mounting processor 17 with plural channel adapters 11 for performing input and output control with a host computer 500 and plural disk adapter loading processors 21 of plural disk adapters 20 for performing input and output control with a magnetic disk device 50 can perform access to a shared memory 32, a shared memory loading processor 36 equipped with a built-in data cache 38 is arranged, and access from the channel adapter loading processor 17 and the disk adapter loading processors 21 to the shared memory 32 is executed through the built-in data cache 38 so that a time required for the access to the shared memory 32 can be reduced, and that the performance of the disk array controller 600 can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2001-306265

(P2001-306265A)

(43)公開日 平成13年11月2日(2001.11.2)

(51)Int.Cl. ⁷		識別記号	F I	テーマコード*(参考)	
G 0 6 F	3/06	3 0 2	G 0 6 F 3/06	3 0 2 A	5 B 0 0 5
		5 4 0		5 4 0	5 B 0 1 4
	12/00	5 7 1	12/00	5 7 1 A	5 B 0 6 0
	12/08		12/08	H	5 B 0 6 5
				F	

審査請求 未請求 請求項の数5 OL (全 19 頁) 最終頁に続く

(21)出願番号 特願2000-127255(P2000-127255)

(22) 出題日 平成12年4月27日(2000.4.27)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 箕輪 信幸

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(72)発明者 井上 靖雄

神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内

(74) 代理人 100080001

弁理士 筒井 大和

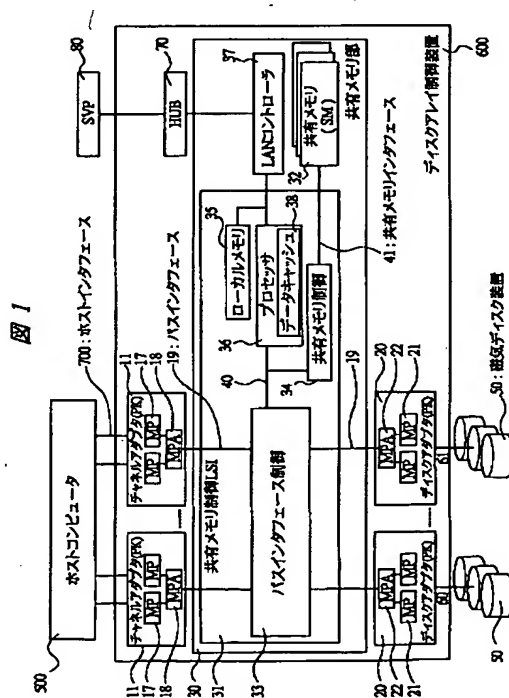
最終頁に続く

(54) 【発明の名称】 記憶制御装置および記憶制御装置の制御方法

(57) 【要約】

【課題】 共有メモリを備えたマルチプロセッサ構成の記憶制御装置において、共有メモリに対するアクセス効率を改善し、データ転送性能を向上させる。

【解決手段】 ホストコンピュータ５００との入出力制御を行う複数のチャンネルアダプタ１１のチャンネルアダプタ搭載プロセッサ１７と、磁気ディスク装置５０との入出力を制御する複数のディスクアダプタ２０の複数のディスクアダプタ搭載プロセッサ２１が、共有メモリ３２をアクセスする構成のディスクアレイ制御装置６００において、内蔵データキャッシュ３８を備えた共有メモリ搭載プロセッサ３６を配置し、チャンネルアダプタ搭載プロセッサ１７およびディスクアダプタ搭載プロセッサ２１からの共有メモリ３２に対するアクセスを、内蔵データキャッシュ３８を経由して実行させることで、共有メモリ３２へのアクセス所要時間を削減し、ディスクアレイ制御装置６００の性能を向上させる。



【特許請求の範囲】

【請求項1】 上位装置および記憶装置との間における情報の授受を制御する複数の第1のプロセッサと、前記上位装置と前記記憶装置との間で授受される第1の情報および前記第1のプロセッサにて使用される第2の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置であって、

前記共有メモリ部には、前記第1のプロセッサの前記共有メモリへのアクセスを制御する第2のプロセッサを備えたことを特徴とする記憶制御装置。

【請求項2】 請求項1記載の記憶制御装置において、前記第2のプロセッサは、前記第1のプロセッサと前記共有メモリとの間で授受される前記第1および第2の情報が一時的に格納されるデータキャッシュと、前記共有メモリに格納された前記第1および第2の情報の前記データキャッシュへの先読み制御を行う制御論理と、を備えたことを特徴とする記憶制御装置。

【請求項3】 請求項1または2記載の記憶制御装置において、前記第1のプロセッサと前記共有メモリ部との間には、

前記第1のプロセッサから前記共有メモリに対する前記第1および第2の情報の書き込みを実行する第1のコマンド手段と、

前記共有メモリから前記第1のプロセッサに前記第1および第2の情報の読み出しを実行する第2のコマンド手段と、

前記第1のプロセッサが前記共有メモリにおける前記第1および第2の情報の有無を調べる操作を前記第2のプロセッサに代行させる第3のコマンド手段と、

が設けられていることを特徴とする記憶制御装置。

【請求項4】 上位装置および記憶装置との間における情報の授受を制御する複数の第1のプロセッサと、前記上位装置と前記記憶装置との間で授受される第1の情報および前記第1のプロセッサにて使用される第2の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置の制御方法であって、

前記共有メモリ部に、前記第1のプロセッサと前記共有メモリとの間で授受される前記第1および第2の情報が一時的に格納されるデータキャッシュを備えた第2のプロセッサを配置し、前記第1のプロセッサの前記共有メモリ内の前記第1および第2の情報のアクセス要求には、可能な限り前記データキャッシュを経由して応答することを特徴とする記憶制御装置の制御方法。

【請求項5】 請求項4記載の記憶制御装置の制御方法において、

前記第2のプロセッサが、前記第1のプロセッサの代わりに、前記共有メモリにおける前記第1および第2の情報の有無を調べる処理を代行することを特徴とする記憶制御装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、記憶制御装置およびその制御技術に関し、特に、メモリを共有する複数のプロセッサで構成され、ホストコンピュータからのデータを複数の磁気ディスク装置等の記憶装置に分散して格納する制御動作を行うディスクアレイ制御装置等に適用して有効な技術に関する。

【0002】

【従来の技術】 近年のディスクアレイ制御装置では、より高い性能を得るため、複数のチャネルアダプタと複数のディスクアダプタで並行して、データ転送処理を実行するシステムが主流になっている。

【0003】 例えば、図11に示す参考技術では、ホストコンピュータ1100とディスクアレイ制御装置1101間のデータ転送制御を実行する複数のチャネルアダプタ1010と、磁気ディスク装置1050とディスクアレイ制御装置1101間のデータ転送制御を実行する複数のディスクアダプタ1020と、各アダプタと磁気ディスク装置1050の間で授受されるデータを一時的に格納するキャッシュ機能および複数のチャネルアダプタ1010及びディスクアダプタ1020間の制御情報を格納するシェアードメモリ機能を持つ共有メモリ部1030を備え、各アダプタ間は2本の共通バス1040で接続され、全アダプタからアクセス可能な構成とすることが考えられる。ディスクアダプタ1020は磁気ディスク装置1050とドライバインタフェース1060、1061により接続される。

【0004】

【発明が解決しようとする課題】 このような図11の参考技術の共通バス構造は、チャネルアダプタ1010、ディスクアダプタ1020の数の増加に伴い共有メモリ部1030へのアクセス回数が増加すると、共通バス1040の利用率が上がり、これがディスクアレイ制御装置1101のI/O性能を制限する要因になっていた。

【0005】 そこで、図12の参考技術に示すようにチャネルアダプタ1011と、ディスクアダプタ1020と共有メモリ部1030を1対1で接続することで共有メモリ部1030へのアクセスバス利用率を低く抑え共有メモリ応答時間を短縮するための工夫がなされてきた。

【0006】 しかしながら、ホストコンピュータ1100からのデータ転送速度の伸びは著しく、ディスクアレイ制御装置1101に求められるI/O性能はより大きくなっている。ディスクアレイ制御装置1101はチャネルアダプタ1010、ディスクアダプタ1020の数を増やしたり、各アダプタに搭載するプロセッサ数を増やしたり、搭載するプロセッサ処理能力を高速化するなどで対応してきたが、共有メモリ部1030へのアクセス回数は一層増加し、共有メモリ部1030へのアクセスバスの利用率増加だけでなく、共有メモリ部1030

内の共有メモリ1032と共有メモリ制御回路1031間のデータ転送経路の利用率も飽和状態となり、共有メモリアクセス時間が増大することが原因でディスクアレイ制御装置1101のI/O性能が制限されている。

【0007】本発明の目的は、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス占有時間の短縮によるデータ入出力性能の向上を実現することにある。

【0008】本発明の他の目的は、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス回数の削減によるデータ入出力性能の向上を実現することにある。

【0009】本発明の他の目的は、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化により増大している共有メモリアクセス占有時間を短縮させることにある。

【0010】本発明の他の目的は、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化により増大している共有メモリへのアクセス回数を削減することにある。

【0011】

【課題を解決するための手段】本発明は、上位装置および記憶装置との間における情報の授受を制御する複数の第1のプロセッサと、上位装置と記憶装置との間で授受される第1の情報および第1のプロセッサにて使用される第2の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置において、共有メモリ部には、第1のプロセッサの共有メモリへのアクセスを制御する第2のプロセッサを備えたものである。

【0012】また、本発明は、上位装置および記憶装置との間における情報の授受を制御する複数の第1のプロセッサと、上位装置と記憶装置との間で授受される第1の情報および第1のプロセッサにて使用される第2の情報が格納される共有メモリを備えた共有メモリ部と、を含む記憶制御装置の制御方法において、共有メモリ部に、第1のプロセッサと共有メモリとの間で授受される第1および第2の情報が一時的に格納されるデータキャッシュを備えた第2のプロセッサを配置し、第1のプロセッサの共有メモリ内の第1および第2の情報のアクセス要求には、可能な限りデータキャッシュを経由して応答するものである。

【0013】より具体的には、本発明の記憶制御装置の一例であるディスクアレイ制御装置は、チャンネルアダプタ及びディスクアダプタ搭載プロセッサから共有メモリをリード/ライトする時間を短縮する手段として、共有メモリ部にデータキャッシュを内蔵する共有メモリ搭載プロセッサを備える。最も高速な汎用メモリのアクセスタイムに対し、共有メモリ搭載プロセッサに内蔵されて

いるデータキャッシュのアクセスタイムは通常1/10以下の時間で済むことが知られている。増加する時間としては、共有メモリ搭載プロセッサの処理ステップ時間が多少発生するが昨今のプロセッサ処理クロックは飛躍的に高速化しており、数クロックのプロセッサ処理は汎用メモリのアクセスタイムの1/10以下であり、オーバーヘッドにはならない。共有メモリ搭載プロセッサのデータキャッシュにあらかじめ共有メモリデータをライトしておき、このデータをリードすれば、チャンネルアダプタ/ディスクアダプタ搭載プロセッサの共有メモリアクセス占有時間が短縮される。

【0014】共有メモリでは、全プロセッサの相互間で、フラグ制御情報のライト/リードにより連絡をとりあう制御処理が多く発生するが、このような処理は共有メモリアドレスが各プロセッサのアクセスで同一となるため、共有メモリ搭載プロセッサの内蔵データキャッシュにヒットする確立が極めて高く、共有メモリアクセス時間短縮に有効である。

【0015】また、本発明では、共有メモリ搭載プロセッサの内蔵データキャッシュのヒット率を高める手段として、アクセス元のチャンネルアダプタ/ディスクアダプタ搭載プロセッサの識別番号を認識して、前回アクセスしたアドレスを先読みする手段、アクセスアドレスの周辺アドレスを先読みする手段、実行されるアクセス処理を認識し、次のアドレスを予想する先読み手段を設ける。

【0016】共有メモリを構成する汎用メモリは複数ワードを連続アクセスするバーストアクセスや、パイプライン動作によりリードライトを高速化するのが一般的であるが、単発のリードライトはオーバーヘッドが大きく高速化されていないのが実状である。従って、単発アクセスに対し、複数ワードをバーストアクセスしてもそれほどアクセス時間が増加しない特性があり、連続した複数バイトのデータを先読みすることによるアクセス時間増加は少ない。

【0017】また、本発明では、チャンネルアダプタ/ディスクアダプタ搭載プロセッサの共有メモリアクセス占有時間を少なくする他の手段として、チャンネルアダプタ/ディスクアダプタ搭載プロセッサの共有メモリへのアクセスを共有メモリ搭載プロセッサに代行させるコマンドインタフェースを設けることでアクセス回数そのものを減少させる方法を用いる。

【0018】すなわち、チャンネルアダプタ/ディスクアダプタ搭載プロセッサは、共有メモリからリードしたデータに基づきながら分岐処理を実施し、分岐先で更に共有メモリをリードすることが多いため、このような、共有メモリへの複数回のアクセスを伴う任意の処理単位を共有メモリ搭載プロセッサに代行させることでチャンネルアダプタ/ディスクアダプタ搭載プロセッサの共有メモリへのアクセス回数を減少させる。この方法は、特にチ

ャネルアダプタ／ディスクアダプタと共有メモリ部間のバス利用率を下げるのに効果的な手段である。

【0019】上述の共有メモリ搭載プロセッサの内蔵データキャッシュの利用と共有メモリアクセス回数を減少させる本手段を併用させれば、チャネルアダプタおよびディスクアダプタと共有メモリ部間でアクセス回数が減少し、更に内蔵データキャッシュから共有メモリデータをリードすることで共有メモリ部からの応答時間も格段に短縮される。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0021】図1は本発明の一実施の形態である記憶制御方法を実施する記憶制御装置を含む情報処理システムの構成の一例を示す概念図である。

【0022】本実施の形態の情報処理システムは、ホストコンピュータ500と、その配下で稼働し、ディスクアレイ制御装置600および冗長構成の複数の磁気ディスク装置50からなるディスクアレイサブシステムで構成されている。

【0023】本実施の形態のディスクアレイ制御装置600は、ホストインタフェース700を介した一つまたは複数のホストコンピュータ500との間における情報の授受を制御する複数のチャネルアダプタ(PK)11と、ドライブインタフェース60、ドライブインタフェース61を介した複数の磁気ディスク装置50との間における情報の授受を制御する複数のディスクアダプタ(PK)20と、チャネルアダプタ11およびディスクアダプタ20にて共有される共有メモリ部30から構成される。

【0024】チャネルアダプタ11の各々は、複数のチャネルアダプタ搭載プロセッサ(MP)17と、個々のチャネルアダプタ搭載プロセッサ17と共有メモリ部30との間におけるバスインタフェース19を介した情報の授受を制御するプロセッサアダプタ(MPA)18で構成されている。

【0025】同様に、ディスクアダプタ20の各々は、複数のディスクアダプタ搭載プロセッサ(MP)21と、個々のMP21と共有メモリ部30との間におけるバスインタフェース19を介した情報の授受を制御するプロセッサアダプタ(MPA)22で構成されている。

【0026】共有メモリ部30は、共有メモリ制御LSI31と、記憶媒体である共有メモリ32を含んでいる。共有メモリ制御LSI31は、バスインタフェース19を介した複数のMPA18およびMPA22の各々からの共有メモリ32へのアクセス要求の調停等の処理を行う制御論理を備えたバスインタフェース制御33と、メモリアクセスバス40を介してバスインタフェース制御33から到来する共有メモリ32へのデータのリード／ライト要求を受け付け、共有メモリインタフェー

ス41を介して共有メモリ32に対するデータのリード／ライト処理を実行する共有メモリ制御34を含んでいる。

【0027】本実施の形態の場合、共有メモリ制御LSI31の内部には、メモリアクセスバス40に対して共有メモリ制御34と並列に接続された共有メモリ搭載プロセッサ36が設けられ、バスインタフェース制御33から到来する共有メモリ32へのデータのリード／ライト要求が共有メモリ搭載プロセッサ36にも同時に入力される構成となっている。また、共有メモリ搭載プロセッサ36の内部には内蔵データキャッシュ38が設けられている。共有メモリ搭載プロセッサ36と、共有メモリ制御34との間には図示しない制御インタフェースが設けられ、後述のような各種の共有メモリ32へのアクセス制御が行われる。

【0028】この共有メモリ部30に設けられる共有メモリ搭載プロセッサ36は、たとえば、図4に例示されるように、共有メモリ制御LSI31内に設けられたローカルメモリ35に格納される制御プログラム95によって動作する。また、ローカルメモリ35には、必要に応じて、後述のような共有メモリ32へのアクセス制御における優先度を制御するための優先度設定情報96や、チャネルアダプタ搭載プロセッサ17およびディスクアダプタ搭載プロセッサ21による共有メモリ32へのアクセス状況を記録したアクセスログ情報97も格納される。

【0029】共有メモリ搭載プロセッサ36は、たとえば、内蔵データキャッシュ38を備えた汎用のマイクロプロセッサで構成することができ、共有メモリ制御LSI31内に、バスインタフェース制御33、共有メモリ制御34、ローカルメモリ35とともに1チップ構成で実装することができる。その場合、共有メモリ搭載プロセッサ36の部分は、新たに開発することなく、既存の汎用マイクロプロセッサのIP(設計資産)を利用して製造することができる。

【0030】共有メモリ搭載プロセッサ36は、共有メモリ部30内に設けられたLANコントローラ37、および共有メモリ部30の外部に設けられたハブ(HUB)70を介して外部のサービスプロセッサ(SVP)80に接続されており、共有メモリ部30の内部における各種制御情報をSVP80から受け取って設定したり、共有メモリ部30の内部の障害の有無等の稼働状況をSVP80に送出する、等のディスクアレイサブシステムの管理運用にも用いられる。

【0031】図3に例示されるように、共有メモリ32には、一例として、複数のチャネルアダプタ搭載プロセッサ17、ディスクアダプタ搭載プロセッサ21等にアクセスされるシステム管理情報91(第1の情報)、複数のチャネルアダプタ搭載プロセッサ17、ディスクアダプタ搭載プロセッサ21等の相互間における制御情報

の授受に用いられるプロセッサ間通信エリア92（第1の情報）、ホストコンピュータ500と磁気ディスク装置50との間で授受されるデータ（第2の情報）が一時的に格納されるキャッシュデータ領域94、キャッシュデータ領域94における格納データの管理（たとえば特定のデータの有無のチェック）等に用いられるキャッシュ管理情報93（第1の情報）、等の情報が格納される。

【0032】また、本実施の形態の場合、複数の磁気ディスク装置50は、たとえばRAID（Redundant Arrays of Inexpensive Disks）のディスクアレイを構成し、ホストコンピュータ500からのライトデータを分割したデータブロックと、当該データブロックから生成された冗長データブロックが、複数の磁気ディスク装置50に分散して格納される。

【0033】これに伴い、キャッシュデータ領域94の管理を効率化すべく、たとえば、キャッシュ管理情報93は、共有メモリ32内での任意のデータブロック（セグメント）の実アドレスが格納されるキャッシュセグメント管理テーブル93d、RAIDの各ストライプを構成するセグメントの前記キャッシュセグメント管理テーブル93dにおけるアドレスが格納されるキャッシュストライプ管理テーブル93c、キャッシュグループに属する各ストライプの前記キャッシュストライプ管理テーブル93cにおけるアドレスが格納されるキャッシュグループアドレス管理テーブル93b、仮想デバイスを構成するキャッシュグループのキャッシュグループアドレス管理テーブル93bにおけるアドレスが格納される仮想デバイスグループテーブル93a、の階層構造をなしている。

【0034】チャンネルアダプタ11の個々のチャンネルアダプタ搭載プロセッサ17、およびディスクアダプタ20の個々のディスクアダプタ搭載プロセッサ21から、MPA18およびMPA22を経由してバスインタフェース制御33との間で授受される共有メモリ32および磁気ディスク装置50へのアクセス要求は、本実施の形態の場合、一例として、図2に例示されるようなフォーマットを用いて実行される。

【0035】すなわち、図2（a）に例示されるように、MPA18およびMPA22からバスインタフェース制御33に発行されるライト要求時の、MPA送信フェーズ100（ライトフォーマット）は、共有メモリ32および磁気ディスク装置50に対する書き込み位置を指示するアドレス部100a、リード／ライト等の動作の種類や要求元のチャンネルアダプタ11（PK）、ディスクアダプタ20（PK）および各PK内のチャンネルアダプタ搭載プロセッサ17、ディスクアダプタ搭載プロセッサ21を識別する情報が設定されるコマンド部100b、ライトデータが格納されるデータ部100c、当

該MPA送信フェーズ100のエラーチェックやエラー訂正等に用いられる符号部100d、からなる。

【0036】また、MPA送信フェーズ100に対して、バスインタフェース制御33から応答されるMPA受信フェーズ101は、ライト処理の実行結果等を示す情報を含むステータス部101a、当該MPA受信フェーズ101のエラーチェックやエラー訂正等に用いられる符号部101b、からなる。なお、ライト要求処理における障害発生時には、MPA受信フェーズ101には、図2（b）に例示されるように、エラー内容部101cが付加される。

【0037】一方、図2（c）に例示されるように、MPA18およびMPA22からバスインタフェース制御33に発行されるリード要求時の、MPA送信フェーズ102（リードフォーマット）は、共有メモリ32および磁気ディスク装置50に対する読み出し位置を指示するアドレス部102a、リード／ライト等の動作の種類や要求元のチャンネルアダプタ11（PK）、ディスクアダプタ20（PK）および各PK内のチャンネルアダプタ搭載プロセッサ17、ディスクアダプタ搭載プロセッサ21を識別する情報が設定されるコマンド部102b、当該MPA送信フェーズ102のエラーチェックやエラー訂正等に用いられる符号部102c、からなる。

【0038】また、MPA送信フェーズ102に対して、バスインタフェース制御33から応答されるMPA受信フェーズ103は、リード処理の実行結果等を示す情報を含むステータス部103a、読み出されたリードデータが格納されるデータ部103b、当該MPA受信フェーズ103のエラーチェックやエラー訂正等に用いられる符号部103c、からなる。なお、リード要求処理における障害発生時には、MPA受信フェーズ103には、図2（d）に例示されるように、エラー内容部103dが付加される。

【0039】後述の本実施の形態におけるインテリジェントコマンド（サーチ命令）は、図2（c）に例示されるように、リードフォーマット（MPA送信フェーズ102-1）を用いて実行する。すなわち、コマンド部102b内に、通常のリード命令とは異なるサーチ命令であることを示すビットをセットする。また、このサーチ命令に対して、応答されるMPA受信フェーズ103-1では、データ部103bには、リードデータの代わりに、共有メモリ32におけるキャッシュデータ領域94においてヒットした目的のデータブロックの格納位置（キャッシュ実アドレス）が格納される。

【0040】ホストコンピュータ500から磁気ディスク装置50までのデータライト転送について説明する。チャンネルアダプタ11はホストインタフェース700を介してホストコンピュータ500から転送されるデータを受信し、チャンネルアダプタ搭載プロセッサ17の制御によりMPA18から共有メモリ部30にアドレス、コ

マンド、ライトデータ等からなるMPA送信フェーズ100が送信される。この時、チャンネルアダプタ11には複数のチャンネルアダプタ搭載プロセッサ17が搭載されており、それぞれが共有メモリ部30へデータ転送を要求するため、MPA18は各チャンネルアダプタ搭載プロセッサ17の転送要求を調停し、共有メモリ部30へのアクセスを絞り込んでいる。本実施の形態ではチャンネルアダプタ11及びディスクアダプタ20から共有メモリ部30へのバスインタフェース19は1本であるがバスを複数持つ場合もある。

【0041】共有メモリ部30に実装されている共有メモリ制御LSI31は、上述のように、バスインタフェース制御33、共有メモリ搭載プロセッサ36、共有メモリ制御34、ローカルメモリ35が内蔵されている。

【0042】バスインタフェース制御33は、チャンネルアダプタ11から送られてくるデータ(MPA送信フェーズ100)を受信する。バスインタフェース制御33は転送データ(MPA送信フェーズ100)のアドレス、コマンドから共有メモリ32のある番地アドレスライトであることを認識し、共有メモリ制御34に該当アドレスをライトするように要求する。

【0043】共有メモリ制御34は共有メモリ32にメモリアクセスバス40を介してバスインタフェース制御33から転送されたデータをライトする。この時、同時に共有メモリ搭載プロセッサ36はメモリアクセスバス40を介してバスインタフェース制御33と共有メモリ制御34間のデータを参照し、内蔵データキャッシュ38に共有メモリライトデータをライトする。共有メモリ搭載プロセッサ36は共有メモリライトデータの他にアクセス元であるチャンネルアダプタ11のプロセッサ番号も記憶する。共有メモリライトが終了すると、共有メモリ制御34はバスインタフェース制御33に終了報告する。バスインタフェース制御33はバスインタフェース19を介してチャンネルアダプタ11に共有メモリライトアクセス終了をステータスで報告する。チャンネルアダプタ搭載プロセッサ17の共有メモリライト動作は以上の手順で実施される。尚、ディスクアダプタ搭載プロセッサ21の共有メモリライト動作も同じ手順となる。

【0044】チャンネルアダプタ11に搭載されたチャンネルアダプタ搭載プロセッサ17は前記と同じようなデータライト手順で、共有メモリ32上にあるチャンネルアダプタ11とディスクアダプタ20との通信エリア(プロセッサ間通信エリア92)にホストコンピュータ500からのデータをライトしたことを知らせるフラグをライトする。一方、ディスクアダプタ搭載プロセッサ21は共有メモリ32上にあるプロセッサ間通信エリア92の情報を定期的にリードし、ホストコンピュータ500のデータがライトされているか確認している。

【0045】この時の共有メモリリード手順は、ディスクアダプタ搭載プロセッサ21の制御によりMPA22

から共有メモリ部30にアドレス、コマンド(MPA送信フェーズ102)が送信される。この時、ディスクアダプタ20には複数のディスクアダプタ搭載プロセッサ21が搭載されており、それぞれが共有メモリ部30へデータ転送要求をするため、MPA22は各ディスクアダプタ搭載プロセッサ21の転送要求を調停し、共有メモリ部30へのアクセスを絞り込んでいる。本実施の形態の図1ではディスクアダプタ20から共有メモリ部30へのバスインタフェース19は1本であるがバスを複数持つ場合もある。

【0046】共有メモリ部30に実装されている共有メモリ制御LSI31はバスインタフェース制御33でディスクアダプタ20から送られてくるデータ(MPA送信フェーズ102)を受信する。バスインタフェース制御33は転送データ(MPA送信フェーズ102)のアドレス、コマンドから共有メモリ32のある番地アドレスリードであることを認識し共有メモリ制御34に該当アドレスをリードするように要求する。

【0047】この時、共有メモリ搭載プロセッサ36は内蔵データキャッシュ38の中に該当するアドレスのデータが存在するか判定し、存在していれば内蔵データキャッシュ38からデータを読み出し、バスインタフェース制御33にデータ送信し、共有メモリ制御34には図示しない制御インタフェースを介して該当アドレスの共有メモリアクセスを取りやめさせる。共有メモリ搭載プロセッサ36の内蔵データキャッシュ38にヒットしなかった場合、共有メモリ制御34は処理を継続しており、共有メモリ32をリードし、バスインタフェース制御33にリードデータを送信する。共有メモリ搭載プロセッサ36は共有メモリリード時にもアクセス元であるディスクアダプタ20のプロセッサ番号を記憶する。

【0048】バスインタフェース制御33はバスインタフェース19を介してディスクアダプタ20に共有メモリ32からのリードデータを送信する。ディスクアダプタ搭載プロセッサ21は指定した共有メモリアドレスのデータを取り込むことができる。尚、チャンネルアダプタ搭載プロセッサ17による共有メモリ32のリード動作も同じ手順となる。

【0049】ディスクアダプタ搭載プロセッサ21はチャンネルアダプタ11から共有メモリ32に転送されたデータを読み出し、ドライブインタフェース60を介して共有メモリ32からリードしたデータを磁気ディスク装置50に転送し、磁気ディスク装置50は転送データをライトする。

【0050】ホストコンピュータ500からディスクアレイ制御装置600へのデータの読み出し要求は、ホストインタフェース700を介してチャンネルアダプタ搭載プロセッサ17に伝えられ、チャンネルアダプタ搭載プロセッサ17の制御により共有メモリ32上に要求データがあるかどうか確認するために共有メモリ32にあるキ

キャッシュ管理情報93をリードする処理が実施される。要求データが存在する場合、チャンネルアダプタ搭載プロセッサ17は共有メモリ32からリード処理を実施する。要求データが存在しない場合、チャンネルアダプタ搭載プロセッサ17は、磁気ディスク装置50から要求データを読み出すように共有メモリ32のプロセッサ間通信エリア92を経由してディスクアダプタ搭載プロセッサ21に要求する。命令を受けたディスクアダプタ搭載プロセッサ21は、ドライブインタフェース60を介して磁気ディスク装置50から要求データを読み出し、バスインタフェース19を介して共有メモリ32に要求データを転送する。転送が終了するとディスクアダプタ搭載プロセッサ21は共有メモリ32のプロセッサ間通信エリア92を介してチャンネルアダプタ搭載プロセッサ17に転送が終了したことを伝える。それを受けてチャンネルアダプタ搭載プロセッサ17は、共有メモリ32へのリード処理を実施し、ホストコンピュータ500へ要求データを転送する。

【0051】次に共有メモリ搭載プロセッサ36の先読み処理の一例について図5を用いて説明する。

【0052】共有メモリ32のリード処理において共有メモリ搭載プロセッサ36はバスインタフェース制御33が受け取った共有メモリ32へのMPA送信フェーズ102に含まれるアドレス、コマンド等の情報から共有メモリ32へのリードかライトかを判定し（処理110）、リードであれば共有メモリ搭載プロセッサ36に内蔵データキャッシュ38のヒット／ミス判定を実施する（処理111）。ヒットしていれば共有メモリ搭載プロセッサ36の内蔵データキャッシュ38から要求データを読み出し（処理112）、バスインタフェース制御33に要求データを転送する（処理119）。この場合、共有メモリ32から要求データを読み出し、バスインタフェース制御33にデータを転送するよりも短時間で処理が実施される。

【0053】一方、内蔵データキャッシュ38に要求データが無いミスの場合、まずアクセスアドレス／MP番号を採取し（処理113）、共有メモリ読み出しモードを判定する（処理114）。この読み出しモード判定処理は、あらかじめ初期設定にてモード設定しておくか、共有メモリ搭載プロセッサ36の学習プログラムにより、ヒット率が高くなるようにモードを自動選択することも可能である。モード1が選択された場合、アクセスアドレス周辺のnバイトバーストリード命令を発行する（処理115）。モード2が選択された場合、コマンド、アドレスから次の命令を予想したアドレスにバーストリード命令または単発リード命令を実施する（処理116）。モード3が選択された場合、アクセス元プロセッサ番号（MP番号）から該当プロセッサが以前アクセスしたアドレスをリードする命令を発行する（処理117）。いずれかの先読みモードでリードされたデータは

共有メモリ搭載プロセッサ36の内蔵データキャッシュ38に格納される（処理118）。以上のミス処理内で実施される共有メモリ32から内蔵データキャッシュ38への先読み処理は、本来のチャンネルアダプタ及びディスクアダプタから要求のある共有メモリアクセス処理の妨げにならないように、共有メモリ制御34にて優先順位が下げられ、共有メモリ32のアクセスが空いている時間帯に処理することもできる。

【0054】次に共有メモリ搭載プロセッサ36による共有メモリ32のアクセス制御におけるアドレス優先処理の一例について図6を用いて説明する。

【0055】バスインタフェース制御33からメモリアクセスバス40を経由して共有メモリ制御34に順次到来する複数のアクセス要求は、共有メモリ制御34に設けられた図示しない待ちキューに蓄積されて順次実行されるが、以下のようなアドレス優先処理を行う場合には、待ちキューとして、通常待ちキューおよび優先待ちキューを設定して以下のようなアクセス要求の実行順序の制御を行う。

【0056】すなわち、共有メモリ32のリード／ライト処理において共有メモリ搭載プロセッサ36はバスインタフェース制御33が受け取った共有メモリ32へのMPA送信フェーズ102／MPA送信フェーズ100のアドレス、コマンド等の情報から共有メモリ32へのアドレス、アクセス元のプロセッサ番号を採取し（処理210）、優先アドレスの判定処理（処理211）と優先プロセッサの判定処理を実施する（処理212）。優先アドレス及び優先プロセッサの指定は、チャンネルアダプタ搭載プロセッサ17及びディスクアダプタ搭載プロセッサ21の指示により共有メモリ搭載プロセッサ36が逐次指定できる。また、共有メモリ搭載プロセッサ36自身が学習プログラムにより、MPA送信フェーズ102／MPA送信フェーズ100のアドレス、コマンド、データ、プロセッサ番号、以上の前後関係ログ情報（アクセスログ情報97）によりディスクアレイ制御装置600の処理ルーチンを把握し、ディスクアレイ制御装置600の性能が高くなるように優先順位を逐次設定することも可能である（処理213）。

【0057】優先アドレスまたは優先プロセッサであると判定されたら優先待ちキューに当該アクセスを登録する（処理215）。優先アドレスまたは優先プロセッサでないと判定されたら通常待ちキューに当該アクセスを登録する（処理214）。N回以上待たされているチャンネルアダプタ搭載プロセッサ17またはディスクアダプタ搭載プロセッサ21があるか判定し（処理216）、待たされているこれらのプロセッサ群の中でラウンドロビンによるアービドレーションを実施し、次の共有メモリアクセス権を決定する（処理218）。

【0058】一方、N回以上待たされているチャンネルアダプタ搭載プロセッサ17またはディスクアダプタ搭載

プロセッサ21が無ければ、優先待ちキューに待ちがあるか判定し(処理217)、優先待ちキューに待ちがある場合は優先待ちキュー内のプロセッサ群の中でラウンドロビンによるアービトレーションを実施し、次の共有メモリアクセス権を決定する(処理220)。尚、待ち上限回数Nはあらかじめ設定する。優先待ちキューに待ちがない場合は通常待ちキュー内のプロセッサ群の中でラウンドロビンによるアービトレーションを実施し、次の共有メモリアクセス権を決定する(処理219)。以上の3種類の何れかに選択されたアービトレーション結果に基づき共有メモリ32へのアクセスが実施される(処理221)。

【0059】次に本実施の形態のインテリジェントコマンドにより、チャンネルアダプタ搭載プロセッサ17及びディスクアダプタ搭載プロセッサ21の処理を共有メモリ搭載プロセッサ36が代行する方式について説明する。

【0060】図13は参考技術としてのチャンネルアダプタ搭載プロセッサ17による共有メモリ32におけるキャッシュ管理情報93の参照によるキャッシュデータ領域94でのキャッシュヒット/ミス判定処理を示す。キャッシュデータ領域94でのヒットミスを判定するまで最小2回、最大4回の共有メモリ32へのアクセスが必要であり、ヒットした場合はキャッシュ実アドレスを採取するまで4回の共有メモリアクセスが必要である。

【0061】図7は、本実施の形態のインテリジェントコマンドの一例であるサーチ命令(MPA送信フェーズ102-1、MPA受信フェーズ103-1)を使用したチャンネルアダプタ搭載プロセッサ17によるキャッシュヒット/ミス判定処理の一例を示す。

【0062】ホスト論理アドレスを仮想デバイスアドレスに変換(処理310)した後、仮想デバイスアドレスから共有メモリ部30にサーチ命令を発行する(処理311)。その後、共有メモリ部30からバスインタフェース19を通じて、MPA受信フェーズ103-1により、ステータスとデータが返送されてくる。チャンネルアダプタ搭載プロセッサ17はステータスの値からキャッシュヒットしているか判定し(処理312)、データ部103bからヒットしているときのキャッシュ実アドレスを読み取る(処理313)。

【0063】サーチ命令は、上述のように、バスインタフェース19のリードコマンド対応のMPA送信フェーズ102-1のコマンド部102bのビットに割り当てられ、共有メモリ制御LSI31はバスインタフェース19を通じて受信した共有メモリ32へのアクセス要求がサーチ命令であることを認識し、共有メモリ搭載プロセッサ36はキャッシュヒット/ミス判定を実施する。

【0064】図8はインテリジェントコマンドの一例であるサーチ命令を使用した共有メモリ搭載プロセッサ36によるキャッシュヒット/ミス判定処理の一例を示

す。

【0065】共有メモリアクセスのMPA送信フェーズ102-1のアドレス部102aは、仮想デバイスアドレスを示し、このアドレスにて仮想デバイスグループテーブル93aからキャッシュグループアドレスをリードする(処理410)。キャッシュグループアドレス管理テーブル93bの当該キャッシュグループアドレスのエントリにあるフラグからキャッシュヒット・ミスを判定する(処理411)。ヒットすれば、キャッシュストライプ管理テーブル93cをリードし(処理412)、フラグからキャッシュヒット・ミスを判定する(処理413)。更にヒットすれば、キャッシュセグメント管理テーブル93dをリードし(処理414)、フラグからキャッシュヒット・ミスを判定する(処理415)。ヒットすれば、キャッシュセグメント管理テーブル93dからキャッシュ実アドレスをリードし(処理416)、コマンド部102bのPK番号に基づいて転送元であるチャンネルアダプタにバスインタフェース19を通じて、MPA受信フェーズ103-1にてヒットしたフラグをステータス部103aに立て、キャッシュ実アドレスをリードデータとしてデータ部103bに載せて返送する

(処理416)。ミスした場合は、ミスが分かった時点で、MPA受信フェーズ103-1にて、転送元であるチャンネルアダプタにバスインタフェース19を通じてミスしたフラグをステータス部103aに立て、任意データをリードデータとしてデータ部103bに載せて返送する(処理417)。

【0066】図14はキャッシュのヒットミス判定を考えられる参考技術の方法で実施した場合のバスインタフェースプロトコルとメモリインタフェースプロトコルを示す。

【0067】図9は共有メモリ32におけるキャッシュのヒットミス判定を本実施の形態のサーチ命令を使用して共有メモリ搭載プロセッサ36に代行させた場合において、共有メモリ搭載プロセッサ36に内蔵データキャッシュ38でキャッシュミスとなり、共有メモリ32へのアクセスが発生する場合のプロトコルの一例を示す。

【0068】図10は本実施の形態のサーチ命令を使用した場合で、かつ共有メモリ搭載プロセッサ36の内蔵データキャッシュ38にヒットした時のプロトコルの一例を示す。

【0069】本実施の形態の図9および図10のいずれの場合も、図14に示される参考技術の場合に比較して、バスインタフェース19の使用回数が大幅に減少しており、バスインタフェース19の使用率の削減によるアクセスの高速化が期待できることがわかる。

【0070】本実施の形態のサーチ命令を使用すれば、バスインタフェース19の使用回数が減少し、バスインタフェース19の利用率(負荷)の軽減及び、共有メモリ32のキャッシュデータ領域94でのヒットミス判定

時間が短縮されることが分かる。また、サーチ命令による数回の共有メモリ32へのリードが共有メモリ搭載プロセッサ36の内蔵データキャッシュ38にヒットすれば、更にキャッシュヒットミス判定時間の短縮が見込める。

【0071】本実施の形態によれば、キャッシュ管理情報93やキャッシュデータ領域94およびプロセッサ間通信エリア92等が格納される共有メモリ32に複数のチャンネルアダプタ搭載プロセッサ17およびディスクアダプタ搭載プロセッサ21等からのアクセス負荷が集中するディスクアレイ制御装置600において、共有メモリ部30内に、内蔵データキャッシュ38を備えた共有メモリ搭載プロセッサ36を配置し、共有メモリ32に対するアクセス要求に対して、可能な限り内蔵データキャッシュ38内のデータを用いて応答することで、共有メモリ32に対するアクセス所要時間の短縮が可能になる。

【0072】また、共有メモリ32内のキャッシュ管理情報93への複数回のアクセスを伴う共有メモリ32でのキャッシュヒット／ミス判定処理を、インテリジェントコマンドにて、共有メモリ搭載プロセッサ36に代行させることで、共有メモリ32に対するアクセス回数の削減が可能になる。

【0073】この結果、ディスクアレイ制御装置600、さらにはディスクアレイ制御装置600および磁気ディスク装置50からなるディスクアレイサブシステムの全体のホストコンピュータ500の入出力要求等に対する応答性能が向上する。

【0074】本願の特許請求の範囲に記載された発明を見方を変えて表現すれば以下の通りである。

【0075】＜1＞ 1つ以上のホストコンピュータから転送される入出力データを処理する1つ以上のチャンネルアダプタと、1つ以上の磁気ディスク装置から転送される入出力データを処理する1つ以上のディスクアダプタと、前記磁気ディスク装置のデータ及び磁気ディスク装置に関する情報を格納する共有メモリ部に第2のプロセッサを持つディスクアレイ制御装置。

【0076】＜2＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された前記第2のプロセッサはデータキャッシュを内蔵し、共有メモリデータの先読み手段を有することを特徴とするディスクアレイ制御装置。

【0077】＜3＞ 項目＜2＞記載のディスクアレイ制御装置において、前記共有メモリデータの先読み手段は、前記共有メモリ部に転送されるデータに付加されるチャンネルアダプタまたはディスクアダプタに搭載された第1のプロセッサの認識IDから以前に前記第1のプロセッサがアクセスしたアドレスの共有メモリデータを先読みし、アクセスアドレスからアドレス周辺データを先読みし、前記データキャッシュのヒット率を高めるなど

の学習機能を有することを特徴とするディスクアレイ制御装置。

【0078】＜4＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された第2のプロセッサは、チャンネルアダプタまたはディスクアダプタに搭載された第1のプロセッサからインテリジェントコマンドを受け、前記第1のプロセッサの処理を代行することを特徴とするディスクアレイ制御装置。

【0079】＜5＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された第2のプロセッサは、前記共有メモリ部内の障害情報を管理し、障害統計情報により前記共有メモリ内部の信号経路を切り替えることを特徴とするディスクアレイ制御装置。

【0080】＜6＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された第2のプロセッサは、前記第1のプロセッサによる前記共有メモリへのアクセスアドレスを認識し、高速に応答すべきアドレスと低速に応答してもいいアドレスを判断する手段を有し、高速に応答すべきアドレスを優先的にアクセスすることを特徴とするディスクアレイ制御装置。

【0081】＜7＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された第2のプロセッサは、前記チャンネルアダプタ及びディスクアダプタの第1のプロセッサ情報を採取する手段と、前記共有メモリ部に搭載された第2のプロセッサとメンテナンス用の外部プロセッサとの間の通信を可能にする専用通信手段を有することを特徴とするディスクアレイ制御装置。

【0082】＜8＞ 項目＜1＞記載のディスクアレイ制御装置において、前記共有メモリ部搭載プロセッサは、電源投入時、または周期的にメンテナンス用の前記外部プロセッサの構成情報に基づき前記共有メモリ部の診断を実施することを特徴とするディスクアレイ制御装置。

【0083】＜9＞ 項目＜1＞から項目＜8＞のいずれか記載のディスクアレイ制御装置において、前記共有メモリ部に搭載された第2のプロセッサは、チャンネルアダプタ及びディスクアダプタからの転送データの受信送信回路と共有メモリ制御用回路を含んだ1チップにパッケージされていることを特徴とするディスクアレイ制御装置。

【0084】＜10＞ 項目＜1＞から項目＜9＞のいずれか記載のディスクアレイ制御装置において、前記共有メモリ部は、複数存在し、チャンネルアダプタ及びディスクアダプタはそれぞれの共有メモリ部と1対1に繋がっているインタフェースにより前記共有メモリにアクセスすることを特徴とするディスクアレイ制御装置。

【0085】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施

の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0086】たとえば、上述の実施の形態では、記憶制御装置の一例として、ディスクアレイ制御装置に適用した場合を例に採って説明したが、共有メモリに共通にアクセスする複数のプロセッサを備えた一般の記憶制御装置に広く適用できる。

【0087】

【発明の効果】本発明の記憶制御装置によれば、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス占有時間の短縮によるデータ入出力性能の向上を実現することができる、という効果が得られる。

【0088】本発明の記憶制御装置によれば、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス回数の削減によるデータ入出力性能の向上を実現することができる、という効果が得られる。

【0089】本発明の記憶制御装置によれば、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化により増大している共有メモリアクセス占有時間を短縮させることができる、という効果が得られる。

【0090】本発明の記憶制御装置によれば、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化により増大している共有メモリへのアクセス回数を削減することができる、という効果が得られる。

【0091】また、本発明の記憶制御装置の制御方法によれば、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス占有時間の短縮によるデータ入出力性能の向上を実現することができる、という効果が得られる。

【0092】本発明の記憶制御装置の制御方法によれば、マルチプロセッサ構成の記憶制御装置において、各プロセッサの共有メモリへのアクセス回数の削減によるデータ入出力性能の向上を実現することができる、という効果が得られる。

【0093】本発明の記憶制御装置の制御方法によれば、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化により増大している共有メモリアクセス占有時間を短縮させることができる、という効果が得られる。

【0094】本発明の記憶制御装置の制御方法によれば、ディスクアレイ制御装置において、チャンネルアダプタ/ディスクアダプタに搭載される個々のプロセッサの処理時間の中で、プロセッサの増加及び処理の複雑化に

より増大している共有メモリへのアクセス回数を削減することができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置を含む情報処理システムの構成の一例を示す概念図である。

【図2】(a)～(d)は、本発明の一実施の形態である記憶制御方法を実施する記憶制御装置にて用いられるコマンドの送受信フェーズのフォーマットの一例を示す概念図である。

【図3】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリにおける格納情報の一例を示す概念図である。

【図4】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられたローカルメモリにおける格納情報の一例を示す概念図である。

【図5】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示すフローチャートである。

【図6】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示すフローチャートである。

【図7】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示すフローチャートである。

【図8】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示すフローチャートである。

【図9】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示す概念図である。

【図10】本発明の一実施の形態である記憶制御方法を実施する記憶制御装置に備えられた共有メモリ搭載プロセッサの作用の一例を示す概念図である。

【図11】本発明の参考技術であるディスクアレイサブシステムの構成の一例を示す概念図である。

【図12】本発明の参考技術であるディスクアレイサブシステムの構成の一例を示す概念図である。

【図13】本発明の参考技術であるディスクアレイサブシステムの作用の一例を示すフローチャートである。

【図14】本発明の参考技術であるディスクアレイサブシステムの作用の一例を示す概念図である。

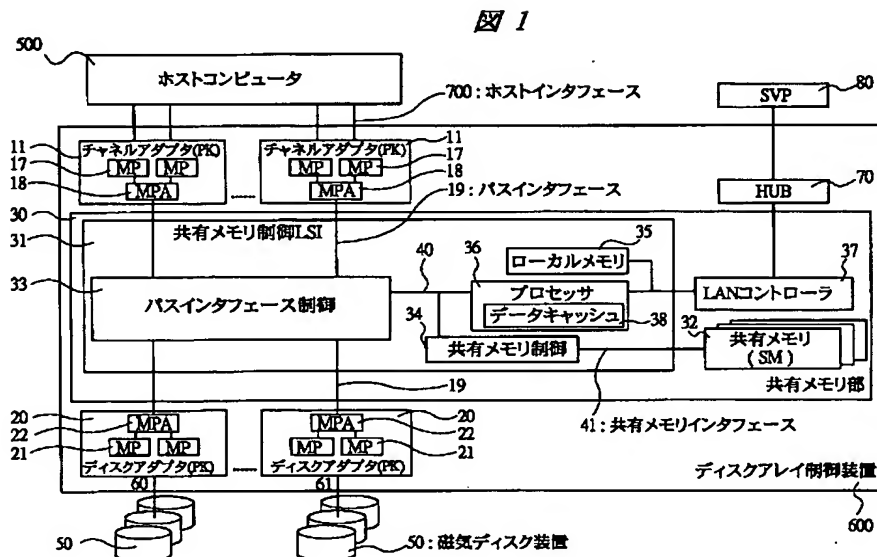
【符号の説明】

11…チャンネルアダプタ(PK)、17…チャンネルアダプタ搭載プロセッサ(MP)(第1のプロセッサ)、18…プロセッサアダプタ(MPA)、19…バスインタフェース、20…ディスクアダプタ(PK)、21…ディスクアダプタ搭載プロセッサ(第1のプロセッサ)(MP)、22…プロセッサアダプタ(MPA)、30…共有メモリ部、31…共有メモリ制御LSI、32…

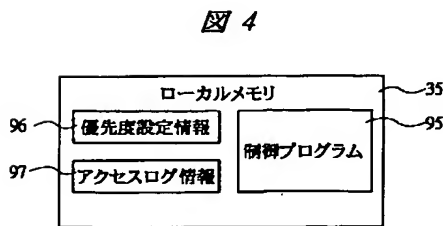
共有メモリ、33…バスインタフェース制御、34…共有メモリ制御、35…ローカルメモリ、36…共有メモリ搭載プロセッサ（第2のプロセッサ）、37…LANコントローラ、38…内蔵データキャッシュ、40…メモリアクセスバス、41…共有メモリインタフェース、50…磁気ディスク装置、60…ドライブインタフェース、61…ドライブインタフェース、70…ハブ（HUB）、80…サービスプロセッサ（SVP）、91…システム管理情報、92…プロセッサ間通信エリア、93…キャッシュ管理情報、93a…仮想デバイスグループテーブル、93b…キャッシュグループアドレス管理テーブル、93c…キャッシュストライプ管理テーブル、93d…キャッシュセグメント管理テーブル、94…キャッシュデータ領域、95…制御プログラム、96…優先度設定情報、97…アクセスログ情報、100…MP

A送信フェーズ（第1のコマンド手段）、100a…アドレス部、100b…コマンド部、100c…データ部、100d…符号部、101…MPA受信フェーズ（第1のコマンド手段）、101a…ステータス部、101b…符号部、101c…エラー内容部、102…MPA送信フェーズ（第2のコマンド手段）、102a…アドレス部、102b…コマンド部、102c…符号部、103…MPA受信フェーズ（第2のコマンド手段）、103a…ステータス部、103b…データ部、103c…符号部、103d…エラー内容部、102-1…MPA送信フェーズ（第3のコマンド手段）、103-1…MPA受信フェーズ（第3のコマンド手段）、500…ホストコンピュータ、600…ディスクアレイ制御装置、700…ホストインタフェース。

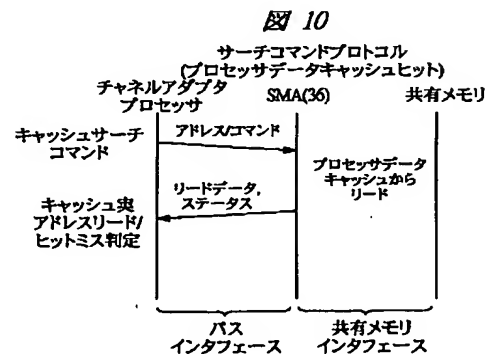
【図1】



【図4】



【図10】

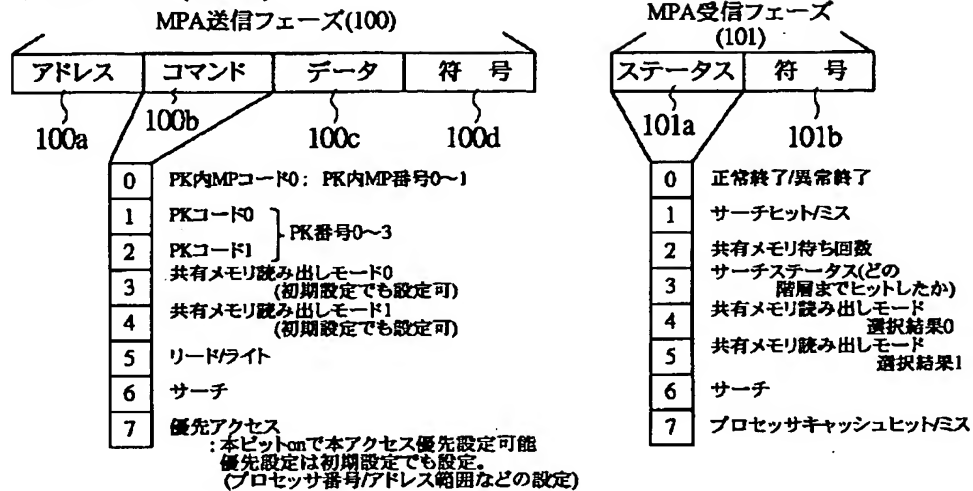


【図2】

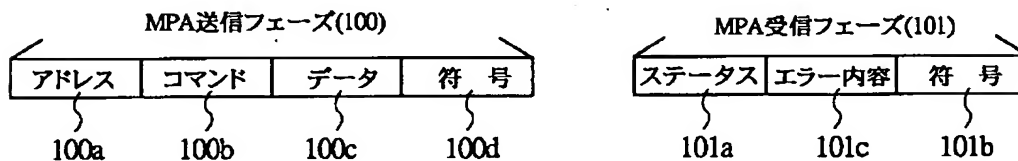
図 2

●転送フォーマット

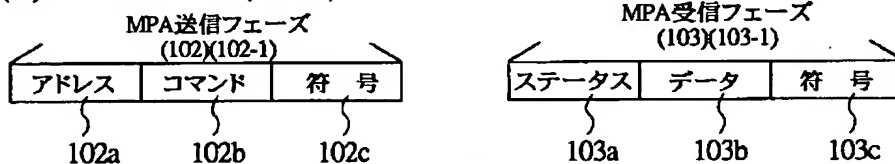
(a) ライトフォーマット(正常時)



(b) ライトフォーマット(障害時)

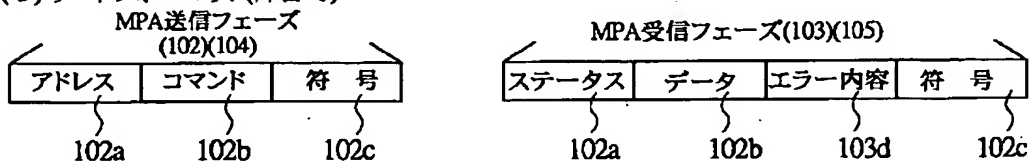


(c) リードフォーマット(正常時)



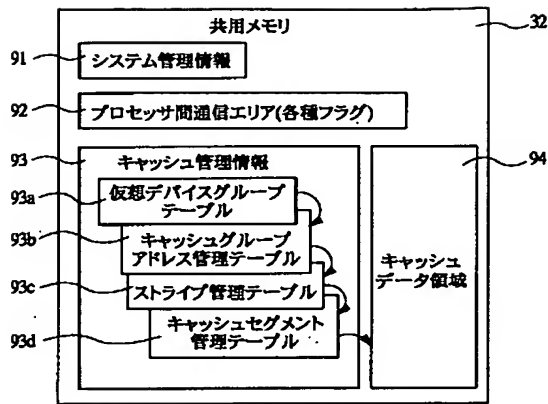
尚、サーチ命令はリードフォーマットで実施する。
 サーチヒットすれば、データにキャッシュ実アドレスを載せてくる。

(d) リードフォーマット(障害時)



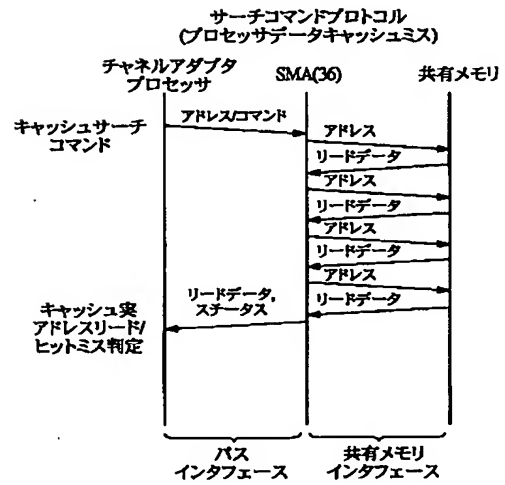
【図3】

図3



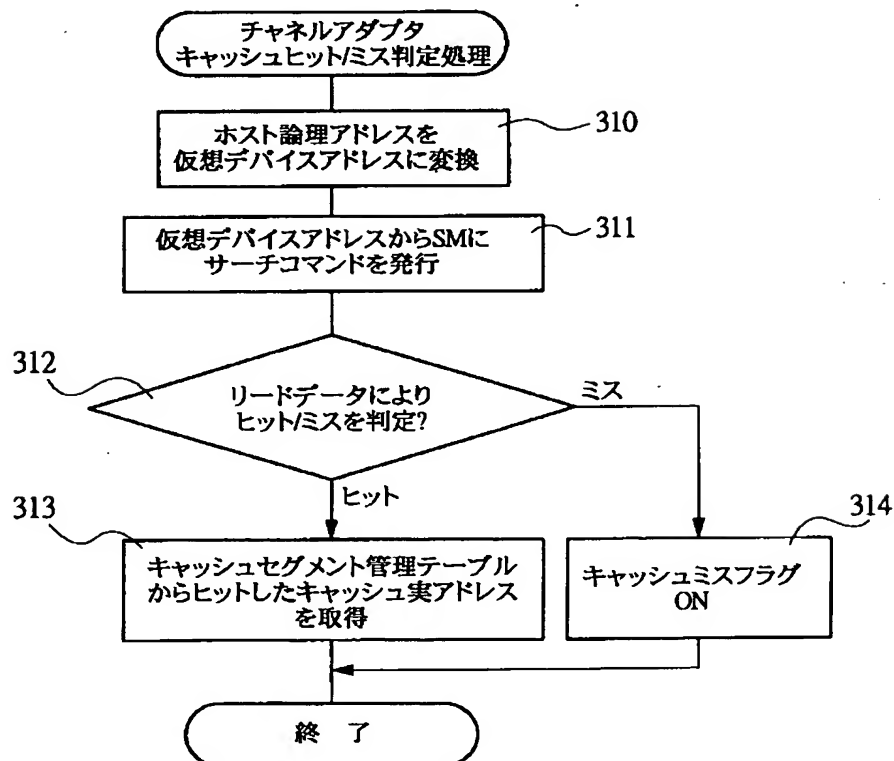
【図9】

図9



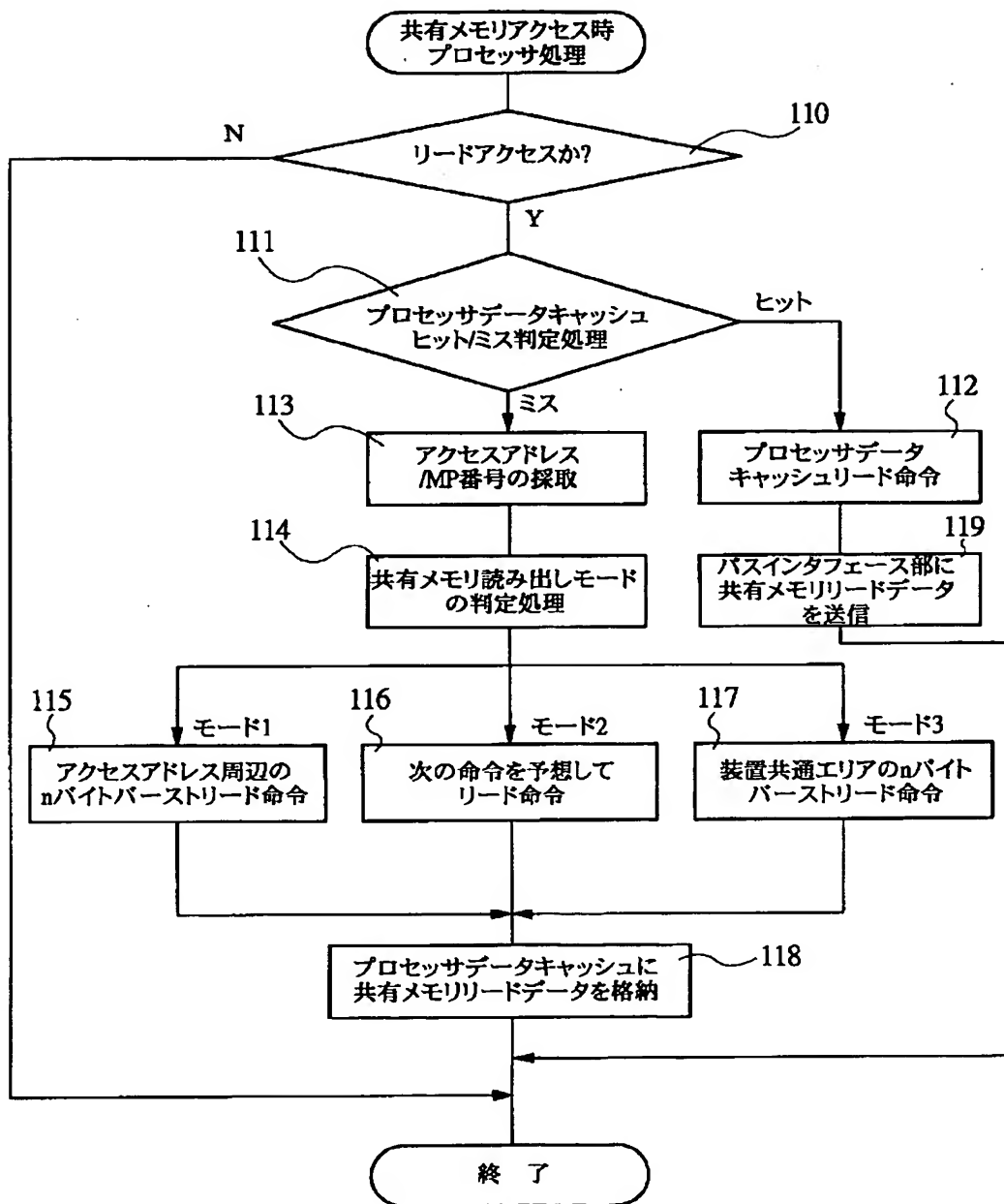
【図7】

図7



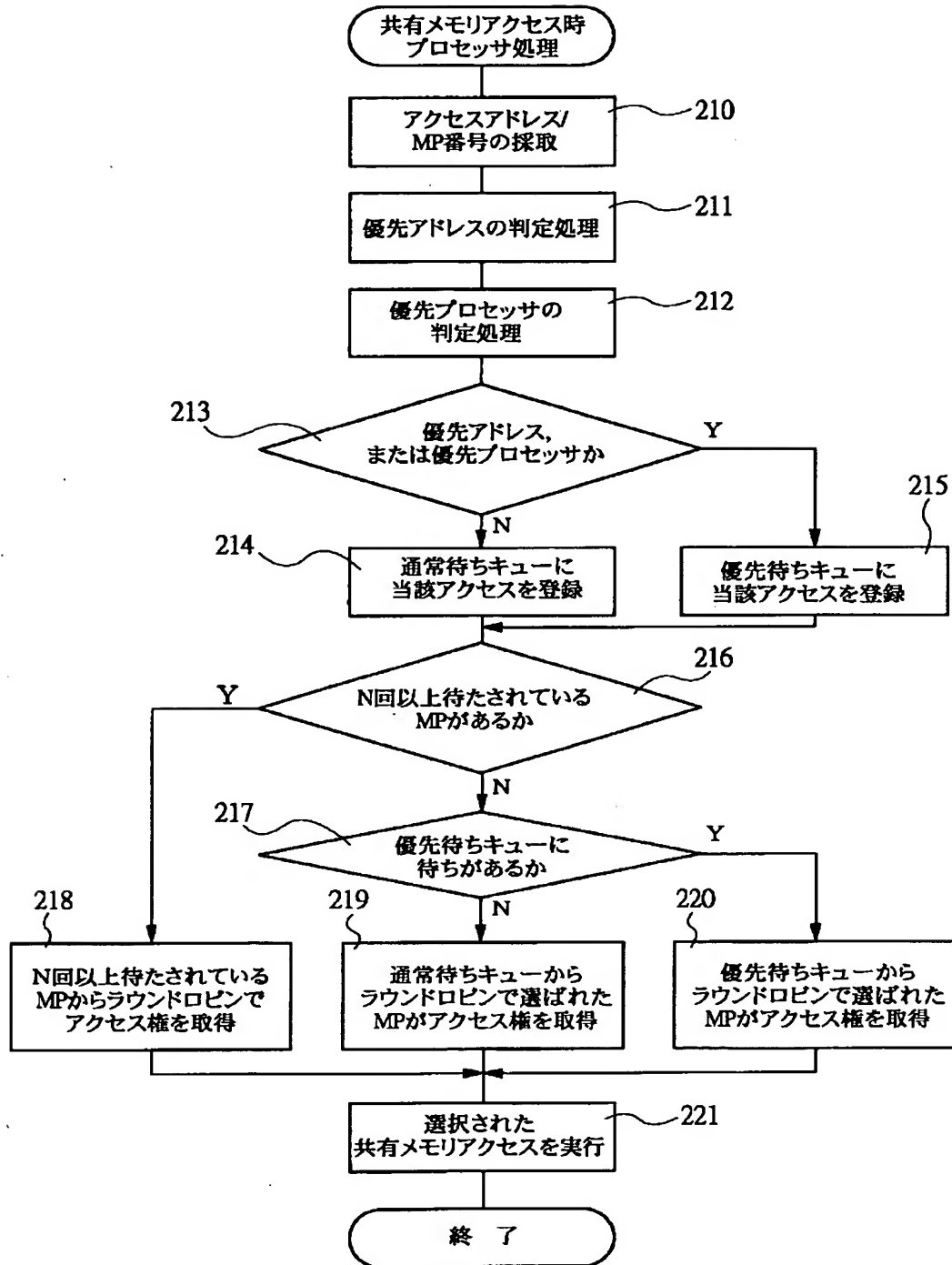
【図5】

図 5



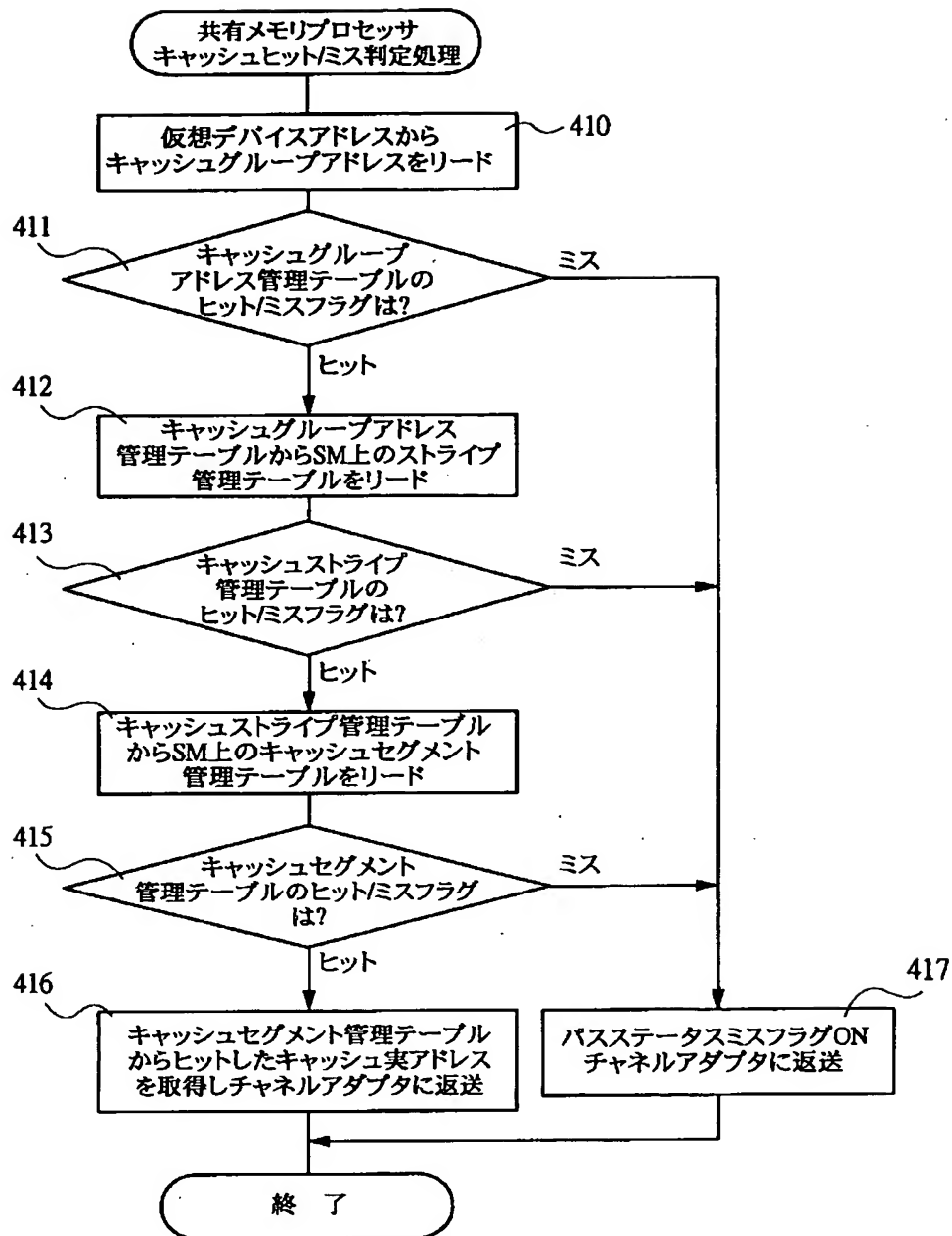
【図6】

図 6



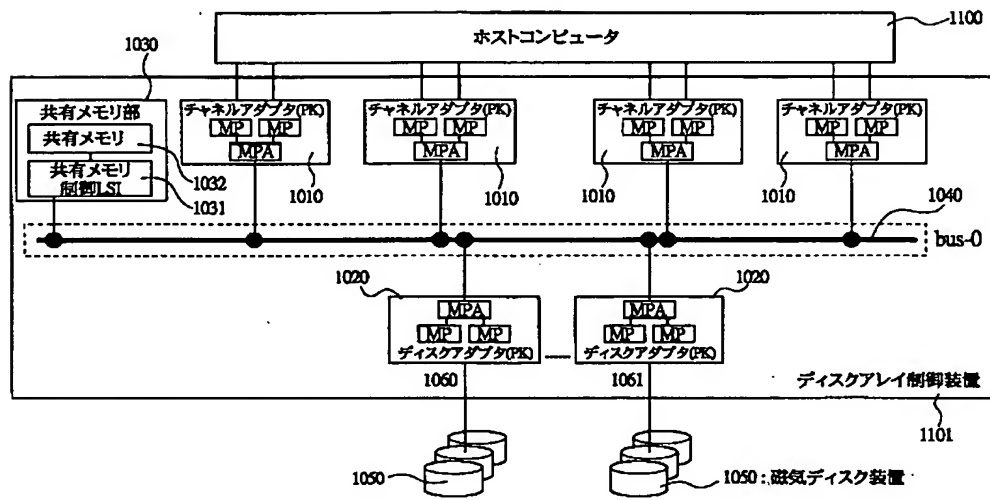
【図8】

図 8



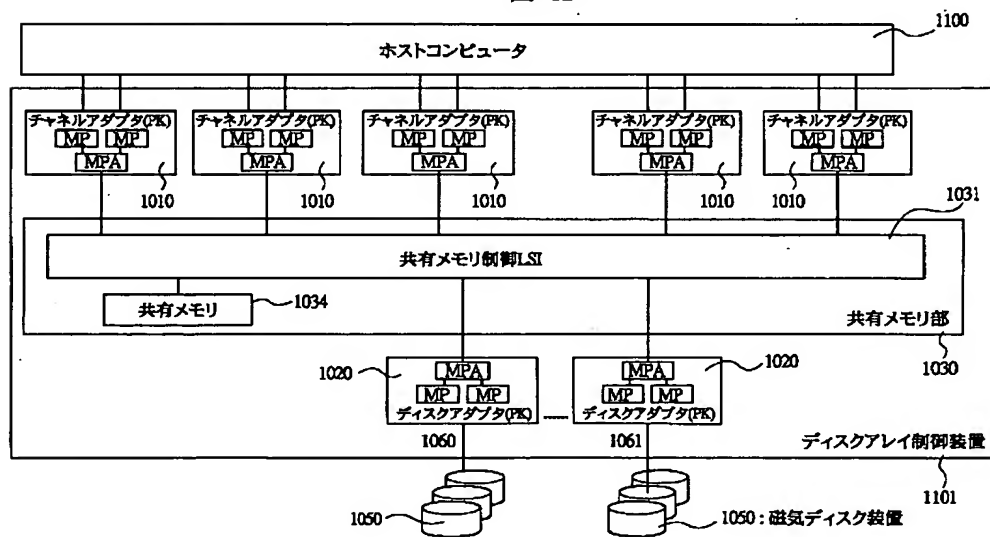
【図11】

図 11



【図12】

図 12



【図13】

【図14】

図 13

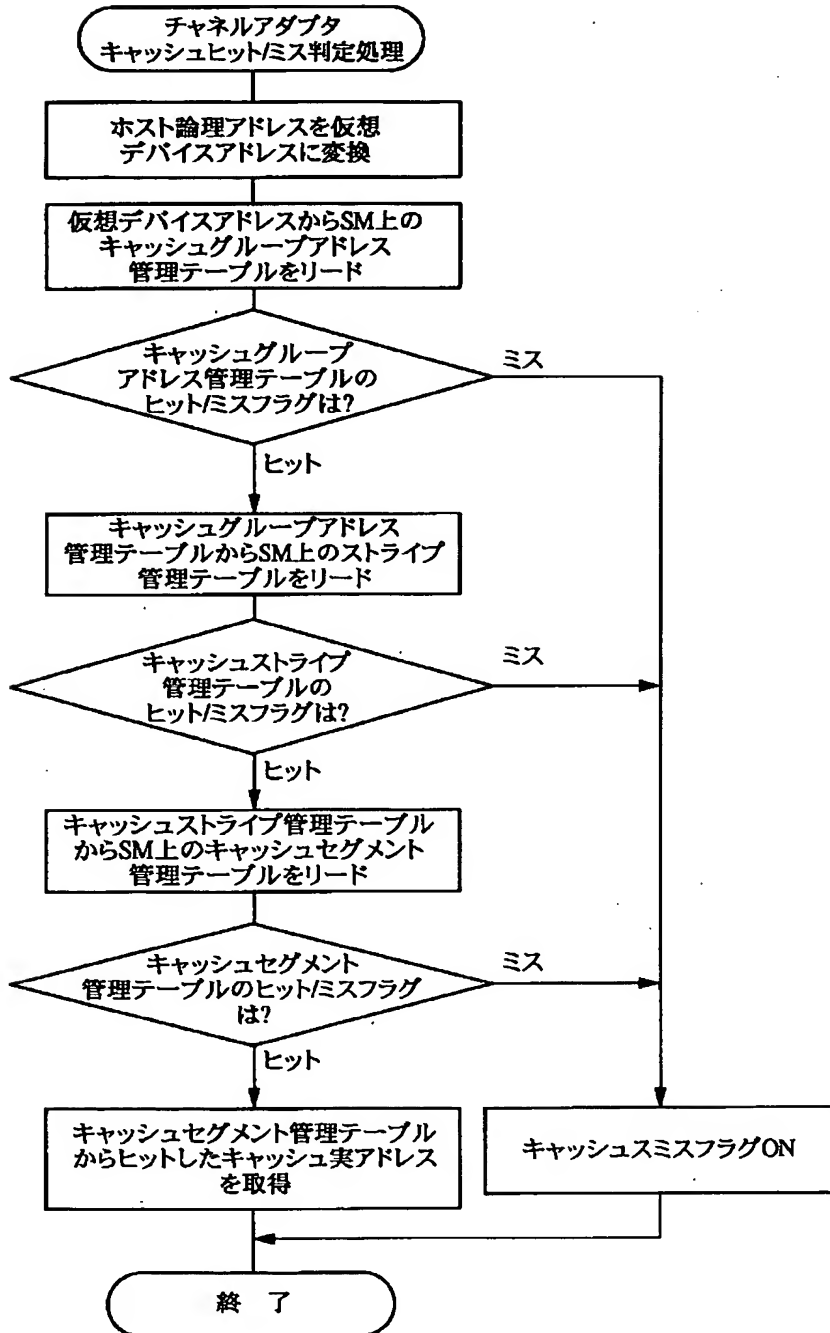
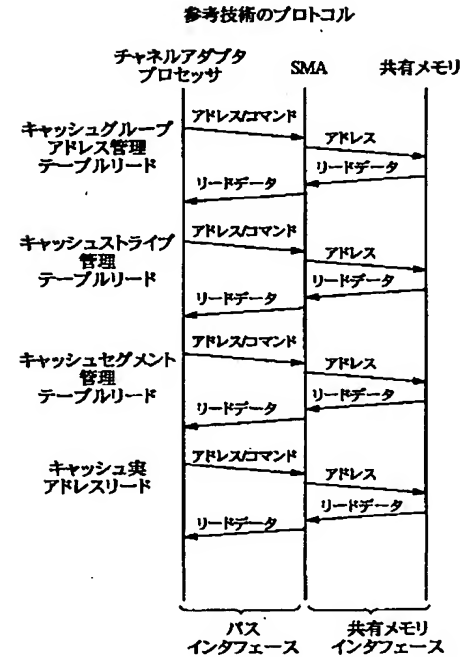


図 14



フロントページの続き

(51) Int. Cl. 7

G 0 6 F 12/08

識別記号

3 2 0

F I

G 0 6 F 12/08

テーマコード (参考)

Q

3 2 0

13/12

3 3 0

13/12

3 3 0 T

Fターム(参考) 5B005 JJ11 KK03 MM11 UU33
5B014 EB05 GC36
5B060 KA02 KA03
5B065 BA01 CA11 CA30 CH01